

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaharu WADA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: DC-DC CONVERTER APPLIED TO SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

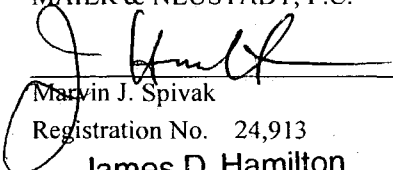
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-117289	April 22, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421



02S1445

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 4月22日

出 願 番 号
Application Number:

特願2003-117289

[ST.10/C]:

[JP2003-117289]

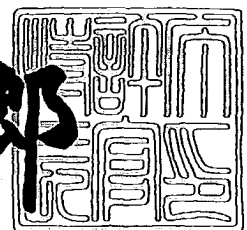
出 願 人
Applicant(s):

株式会社東芝

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038207

【書類名】 特許願

【整理番号】 A000205951

【提出日】 平成15年 4月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/06
H02M 3/07

【発明の名称】 D C - D C コンバータ

【請求項の数】 13

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 和田 政春

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 DC-DCコンバータ

【特許請求の範囲】

【請求項1】 信号を発振する発振器と、
前記発振器の出力信号に応じて第1の電圧と異なる第2の電圧を発生する電圧発生回路と、

前記電圧発生回路の出力電圧を検出する電圧検出回路と、

前記発振器から出力される信号の1サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記電圧発生回路の動作を制御する比較器と

を具備することを特徴とするDC-DCコンバータ。

【請求項2】 前記電圧発生回路は、前記発振器の出力信号に応じて前記第1の電圧を昇圧し、前記第2の電圧を発生するポンプ回路であることを特徴とする請求項1記載のDC-DCコンバータ。

【請求項3】 前記電圧発生回路は、前記第1の電圧と出力端の相互間に接続されたトランジスタと、前記発振器の出力信号に応じて前記トランジスタを駆動し、前記第1の電圧を降圧して、前記出力端より前記第2の電圧を発生させる駆動回路とを具備することを特徴とする請求項1記載のDC-DCコンバータ。

【請求項4】 信号を発振する発振器と、
前記発振器の出力信号に応じて、タイミングの異なる複数の信号を発生するタイミング発生器と、

前記タイミング発生器の出力信号に応じて第1の電圧より高い第2の電圧を発生するポンプ回路と、

前記ポンプ回路の出力電圧を検出する電圧検出回路と、

前記発振器から出力される信号の1サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記タイミング発生器の動作を制御する比較器と

を具備することを特徴とするDC-DCコンバータ。

【請求項5】 前記発振器は、
直列接続された複数のインバータ回路と、

前記各インバータ回路の出力端に直列接続された抵抗成分と容量成分とを具備

し、

前記抵抗成分及び容量成分の一方を変更することで発振周波数を変化させることを特徴とする請求項4記載のDC-DCコンバータ。

【請求項6】 入力信号に応じて第1のパルス信号を出力する第1のパルス発生器と、

前記第1のパルス発生器の出力信号が供給される第1、第2のスイッチ回路と、

前記第1のスイッチ回路を介して供給される前記第1のパルス発生器の出力信号に応じて第2のパルス信号を出力する第2のパルス発生器と、

前記第2のパルス発生器の出力信号に応じて第1の電圧を昇圧した第2の電圧を発生するポンプ回路と、

前記ポンプ回路の出力電圧を検出する電圧検出回路と、

前記第1のパルス発生器から出力される信号の1サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記電圧検出回路の出力電圧が前記基準電圧より高い場合、前記第1のスイッチ回路をオフとし、前記第2のスイッチ回路をオンとする比較器と、

前記第2のスイッチ回路を介して供給される前記第1のパルス発生器の出力信号に応じて第3のパルス信号を発生し前記第1のパルス発生器に供給する第3のパルス発生器と

を具備することを特徴とするDC-DCコンバータ。

【請求項7】 前記第1乃至第3のパルス発生器は、エッジトリガ型のパルス発生器により構成されることを特徴とする請求項6記載のDC-DCコンバータ。

【請求項8】 第1のパルス信号を出力する第1の発振器と、

第2のパルス信号を出力する第2の発振器と、

前記第1の発振器の出力信号に応じて、タイミングの異なる複数の信号を生成するタイミング発生器と、

前記タイミング発生器の出力信号に応じて第1の電圧を昇圧した第2の電圧を発生するポンプ回路と、

前記ポンプ回路の出力電圧を検出する電圧検出回路と、

前記第 1、第 2 の発振器の一方から供給される信号の 1 サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記電圧検出回路の出力電圧が前記基準電圧より高い場合、前記第 1 の発振器をオフとし、前記第 2 の発振器をオンとする比較器と

を具備することを特徴とする DC-DC コンバータ。

【請求項 9】 前記タイミング発生器は、エッジトリガ型のパルス発生器を含み、ポンプ回路は前記発振器からの信号が遮断されたとき、前記タイミング発生器の出力信号に応じて 1 回分のポンプ動作を完了することを特徴とする請求項 4 又は 8 記載の DC-DC コンバータ。

【請求項 10】 複数の第 1 のパルス信号を出力する第 1 のパルス発生器と

第 2 のパルス信号を出力する第 2 のパルス発生器と、

前記第 1 のパルス発生器から出力される第 1 のパルス信号に応じて第 1 の電圧を昇圧した第 2 の電圧を発生するポンプ回路と、

前記ポンプ回路の出力電圧を検出する電圧検出回路と、

前記第 1、第 2 の発振器の一方から供給される第 1 又は第 2 のパルス信号の 1 サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記電圧検出回路の出力電圧が前記基準電圧より高い場合、前記第 1 のパルス発生器をオフとし、前記第 2 のパルス発生器をオンとする比較器と

を具備することを特徴とする DC-DC コンバータ。

【請求項 11】 前記第 1、第 2 のパルス発生器は、エッジトリガ型のパルス発生器により構成されることを特徴とする請求項 10 記載の DC-DC コンバータ。

【請求項 12】 信号を発振する発振器と、

第 1 の電源と出力端の相互間に接続されたトランジスタと、

前記発振器の出力信号に応じて前記トランジスタを駆動する駆動回路と、

前記出力端から出力される電圧を検出する電圧検出回路と、

前記発振器から出力される信号の 1 サイクル毎に前記電圧検出回路の出力電圧

と基準電圧とを比較し、前記駆動回路の動作を制御する比較器と
を具備することを特徴とするDC-DCコンバータ。

【請求項 1 3】 前記駆動回路は、サイズの異なる複数のトランジスタにより構成された複数のインバータ回路を含むことを特徴とする請求項 1 2 記載のDC-DCコンバータ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば直流電圧を昇圧する昇圧回路や降圧する降圧回路を構成するDC-DCコンバータに関する。

【0 0 0 2】

【従来の技術】

図 2 8 は、従来の昇圧回路の一例を示している。この昇圧回路は、発振器 (OSC) 1、ポンプ回路 (PMP) 2、抵抗 R 1、R 2 からなる電圧検出回路 3、及び比較器 (CMP) 4 により構成されている。発振器 1 は、パルス信号を発振する。ポンプ回路 2 は、例えばキャパシタと電荷を転送するダイオード、又はキャパシタと電荷を転送するトランジスタにより構成され、発振器 1 の出力信号に応じて昇圧電圧を発生する。電圧検出回路 3 はポンプ回路 2 の出力電圧を検出する。比較器 4 は、例えば差動増幅回路により構成され、電圧検出回路 3 の出力電圧と基準電圧 Vref とを比較し、これらの差電圧に応じた信号を出力する。比較器 4 は、電圧検出回路 3 の出力電圧が基準電圧 Vref より低い場合、発振器 1 を動作させ、電圧検出回路 3 の出力電圧が基準電圧 Vref より高い場合、すなわち、昇圧電圧が目的の電圧になった場合、発振器 1 を停止させる。

【0 0 0 3】

尚、この種の昇圧回路に関連する発明として、低消費電力で高電圧を発生することが可能な回路が知られている (例えば、特許文献 1 参照)。

【0 0 0 4】

【特許文献 1】

特開平 1 0 - 3 0 2 4 9 2 号

【0005】

【発明が解決しようとする課題】

ところで、上記差動増幅回路により構成された比較器は、バイアス電流が小さいと出力の応答が遅い。応答を速くするためにバイアス電流を大きくすると、消費電流が大きくなる。このため、あまり大きなバイアスを供給することができない。その結果、従来の比較器は、出力の応答が遅い状態で使用している。このように応答が遅い比較器は、昇圧電圧が目的の電圧になっても昇圧回路の動作を直ぐに停止させることができず、ポンプ回路2は発振器1の出力信号に応じて数回動作した後に停止する。このため、昇圧電圧が目的の電圧より上昇してしまい、これによりリップルが生じる。一般に、ポンプ回路2の出力端と接地電圧の間にデカップリングのキャパシタを挿入し、このキャパシタによりリップルを小さくする方法が採られている。しかし、この方法により、上記リップを低減するには、大きな容量のキャパシタを必要とする。このため、キャパシタによりリップを低減する方法は、チップサイズが増加するという問題を含んでいる。

【0006】

また、ポンプ回路2を停止するとき、ポンプ回路の動作の途中で停止すると、ポンプ回路を構成するキャパシタに電荷が残った状態となったり、キャパシタの電荷が逆流したりする可能性がある。この余剰電荷や逆流した電荷は、ノイズを発生する場合がある。このため、ポンプ回路を正確に停止させることが要望されている。

【0007】

なお、上記課題は、昇圧回路を例に説明した。しかし、上記課題は、昇圧回路に限らず降圧回路も同様に有している。

【0008】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、出力電圧のリップルを低減でき、ノイズの発生を防止することが可能なDC-DCコンバータを提供しようとするものである。

【0009】

【課題を解決するための手段】

本発明のDC-DCコンバータは、上記課題を解決するため、信号を発振する発振器と、前記発振器の出力信号に応じて第1の電圧と異なる第2の電圧を発生する電圧発生回路と、前記電圧発生回路の出力電圧を検出する電圧検出回路と、前記発振器から出力される信号の1サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記電圧発生回路の動作を制御する比較器とを具備している。

【0010】

また、本発明のDC-DCコンバータは、信号を発振する発振器と、前記発振器の出力信号に応じて、タイミングの異なる複数の信号を発生するタイミング発生器と、前記タイミング発生器の出力信号に応じて第1の電圧より高い第2の電圧を発生するポンプ回路と、前記ポンプ回路の出力電圧を検出する電圧検出回路と、前記発振器から出力される信号の1サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記タイミング発生器の動作を制御する比較器とを具備している。

【0011】

さらに、本発明のDC-DCコンバータは、入力信号に応じて第1のパルス信号を出力する第1のパルス発生器と、前記第1のパルス発生器の出力信号が供給される第1、第2のスイッチ回路と、前記第1のスイッチ回路を介して供給される前記第1のパルス発生器の出力信号に応じて第2のパルス信号を出力する第2のパルス発生器と、前記第2のパルス発生器の出力信号に応じて第1の電圧を昇圧した第2の電圧を発生するポンプ回路と、前記ポンプ回路の出力電圧を検出する電圧検出回路と、前記第1のパルス発生器から出力される信号の1サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記電圧検出回路の出力電圧が前記基準電圧より高い場合、前記第1のスイッチ回路をオフとし、前記第2のスイッチ回路をオンとする比較器と、前記第2のスイッチ回路を介して供給される前記第1のパルス発生器の出力信号に応じて第3のパルス信号を発生し前記第1のパルス発生器に供給する第3のパルス発生器とを具備している。

【0012】

また、本発明のDC-DCコンバータは、第1のパルス信号を出力する第1の

発振器と、第2のパルス信号を出力する第2の発振器と、前記第1の発振器の出力信号に応じて、タイミングの異なる複数の信号を生成するタイミング発生器と、前記タイミング発生器の出力信号に応じて第1の電圧を昇圧した第2の電圧を発生するポンプ回路と、前記ポンプ回路の出力電圧を検出する電圧検出回路と、前記第1、第2の発振器の一方から供給される信号の1サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記電圧検出回路の出力電圧が前記基準電圧より高い場合、前記第1の発振器をオフとし、前記第2の発振器をオンとする比較器とを具備している。

【0013】

さらに、本発明のDC-DCコンバータは、複数の第1のパルス信号を出力する第1のパルス発生器と、第2のパルス信号を出力する第2のパルス発生器と、前記第1のパルス発生器から出力される第1のパルス信号に応じて第1の電圧を昇圧した第2の電圧を発生するポンプ回路と、前記ポンプ回路の出力電圧を検出する電圧検出回路と、前記第1、第2の発振器の一方から供給される第1又は第2のパルス信号の1サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記電圧検出回路の出力電圧が前記基準電圧より高い場合、前記第1のパルス発生器をオフとし、前記第2のパルス発生器をオンとする比較器とを具備している。

【0014】

また、本発明のDC-DCコンバータは、信号を発振する発振器と、第1の電源と出力端の相互間に接続されたトランジスタと、前記発振器の出力信号に応じて前記トランジスタを駆動する駆動回路と、前記出力端から出力される電圧を検出する電圧検出回路と、前記発振器から出力される信号の1サイクル毎に前記電圧検出回路の出力電圧と基準電圧とを比較し、前記駆動回路の動作を制御する比較器とを具備している。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0016】

(第1の実施形態)

図1は、第1の実施形態を示すものであり、DC-DCコンバータを昇圧回路に適用した場合を示している。

【0017】

この昇圧回路10は、発振器(OSC)11、NANDゲート12、タイミング発生器(TG1)13、バッファ回路(BUF)14、ポンプ回路(PMP)15、抵抗R1、R2からなる電圧検出回路16、及び同期型比較器(CMP)17により構成されている。

【0018】

発振器11は、信号OSTにより活性化される。発振器11は、信号OSTがハイレベルの間発振を継続する。発振器11から出力されるパルス信号の周期は、後述するように、信号TMCTのレベルで制御される。この発振器11は信号S1、及び信号Vonを出力する。信号Vonは比較器17に供給され、信号S1は比較器17の出力信号Vpon_pとともにNANDゲート12に供給される。このNANDゲート12は、信号Vpon_pにより、発振器11の出力信号S1を通過するか否かを制御する。NANDゲート12の出力信号S2は、タイミング発生器(TG1)13、バッファ回路(BUF)14を介してポンプ回路15に供給される。このポンプ回路15の出力電圧VPPは抵抗R1、R2からなる電圧検出回路16により検出される。この電圧検出回路16の出力電圧Vppmoniは、比較器17に供給される。この比較器17は、電圧検出回路16の出力電圧Vppmoniと基準電圧Vrefとを比較し、前記信号Vpon_pを出力する。比較器17の動作は前記信号Vonに同期している。すなわち、比較器17は、信号Vonにより、発振器11からパルス信号S1が出力される毎に比較動作を行なう。

【0019】

図2は、比較器17の一例を示している。この比較器17は、PチャネルMOSトランジスタP1~P4、NチャネルMOSトランジスタN1~N5、及びフリップフロップ回路17aにより構成されている。前記基準電圧Vrefは、トランジスタN1のゲートに供給され、電圧検出回路16の出力電圧Vppmoniは、トランジスタN2のゲートに供給されている。前記発振器11の出力信号Vonは、

トランジスタ P 1、P 4、N 5 のゲートに供給されている。前記トランジスタ P 3、P 4、N 2 の接続ノードは、フリップフロップ回路 1 7 a のセット入力端に接続され、トランジスタ P 1、P 2、N 1 の接続ノードは、フリップフロップ回路 1 7 a のリセット入力端に接続されている。フリップフロップ回路 1 7 a は信号 V_{pon_p}、V_{pon_n} を出力する。このうち、信号 V_{pon_p} は、NAND ゲート 1 2 に供給される。

【 0 0 2 0 】

上記構成の比較器 1 7 は、信号 V_{on} がハイレベルになると活性され、比較動作を行なう。この際、電圧検出回路 1 6 の出力電圧 V_{ppmoni} が基準電圧 V_{ref} より低い場合、トランジスタ N 1、トランジスタ P 3 が導通し、フリップフロップ回路 1 7 a の出力信号は、信号 V_{pon_p} がハイレベル、信号 V_{pon_n} がローレベルとなる。一方、電圧検出回路 1 6 の出力電圧 V_{ppmoni} が基準電圧 V_{ref} より高い場合、トランジスタ N 2、トランジスタ P 2 が導通し、フリップフロップ回路 1 7 a の出力信号は、信号 V_{pon_p} がローレベル、信号 V_{pon_n} がハイレベルとなる。

【 0 0 2 1 】

比較器 1 7 は、発振器 1 1 の出力信号 V_{on} に同期している。このため、ポンプの 1 サイクル内で比較器 1 7 の出力信号 V_{pon_p}、V_{pon_n} を確定できる。

【 0 0 2 2 】

図 3 は、発振器 1 1 の一例を示している。この発振器 1 1 は所謂リングオシレータであり、NAND ゲート 1 1 a、直列接続された複数のインバータ回路 1 1 b ~ 1 1 e、各インバータ回路の出力端と接地間に直列接続された N チャネル MOS トランジスタ 1 1 f、キャパシタ 1 1 g、インバータ回路 1 1 b の出力端に直列接続されたインバータ回路 1 1 h、1 1 i、インバータ回路 1 1 e の出力端に直列接続されたインバータ回路 1 1 j、1 1 k により構成されている。

【 0 0 2 3 】

前記信号 O S T は NAND ゲート 1 1 a の一端に供給され、信号 T M C T は複数のトランジスタ 1 1 f のゲートに供給されている。発振器 1 1 から出力されるパルス信号の周期は、信号 T M C T により各トランジスタ 1 1 f の抵抗値を制御することにより変化される。このため、ポンプ回路の出力電圧を使う回路の活性

化時と停止時で昇圧回路の消費電流を変えることができる。例えばチップがスタンバイ状態のとき、ポンプ回路の出力電圧の電荷は消費されない。このため、発振器 1 1 から出力されるパルス信号の周期を長くして消費電流を小さくする。逆に動作状態の時は、発振器 1 1 から出力されるパルス信号の周期を短くし、ポンプ回路を速く動作させて出力電流を大きくする。

【 0 0 2 4 】

尚、発振器 1 1 の発振周期は、トランジスタ 1 1 f の抵抗値を変えることに限らず、キャパシタ 1 1 g の容量を変えることによっても変化させることができる。

【 0 0 2 5 】

図 4 は、前記タイミング発生器 1 3 の一例を示している。このタイミング発生器 1 3 は、例えばエッジトリガ型のパルス発生器 (P G) 1 3 a、及びタイミング発生器 (T G 2) 1 3 b により構成され、複数の信号 A、B を出力する。

【 0 0 2 6 】

図 5 は、パルス発生器 1 3 a の一例を示している。このパルス発生器 1 3 a は、ワンショットのマルチバイブレータであり、フリップフロップ回路を構成する NAND ゲート 1 3 a - 1、1 3 a - 2、遅延回路 1 3 a - 3、インバータ回路 1 3 a - 4、1 3 a - 5 により構成されている。このパルス発生器 1 3 a は、図 6 に示すように、前記 NAND ゲート 1 2 の出力信号 S 2 に応じて、遅延回路 1 3 a - 3 が有する遅延時間 D L 1 の幅を有するパルス信号 S 3 を発生する。このパルス信号 S 3 のパルス幅は、NAND ゲート 1 2 の出力信号 S 2 の半周期より短く設定されている。

【 0 0 2 7 】

図 7 は、前記タイミング発生器 (T G 2) 1 3 b の一例を示している。このタイミング発生器 1 3 b は NAND ゲート 1 3 b - 1、遅延回路 1 3 b - 2、インバータ回路 1 3 b - 3、NOR ゲート 1 3 b - 4 により構成されている。このタイミング発生器 1 3 b は、図 8 に示すように、前記パルス発生器 1 3 a の出力信号 S 3 に応じて、相補信号 A、B を出力する。

【 0 0 2 8 】

図9は、前記バッファ回路14の一例を示している。このバッファ回路14は、直列、並列に接続された複数のインバータ回路14a～14eにより構成されている。図10に示すように、このバッファ回路14は、前記タイミング発生回路13から出力される出力される信号A、Bに応じて信号C、D、Eを出力する。

【0029】

図11は、前記ポンプ回路15の一例を示している。このポンプ回路15は、直列接続されたNチャネルMOSトランジスタ15a、15b、及びキャパシタ15c、15d、15eにより構成されている。このポンプ回路15はバッファ回路14から出力される信号C、D、Eに応じて電源電圧VDDを昇圧し、昇圧電圧VPPを出力する。

【0030】

図12は、図1に示す昇圧回路10の全体的な動作を示している。信号OSTが活性化されると、発振器11が動作し、パルス信号S1を出力する。初期状態において、ポンプ回路15の出力電圧VPPはローレベルであるため、電圧検出回路16の出力電圧Vppmoniはローレベルである。このため、比較器17の出力信号Vpon_pはハイレベルであり、NANDゲート12から信号S2が出力される。この信号S2に応じてタイミング発生器13、バッファ回路14、ポンプ回路15が動作し、ポンプ回路15の出力電圧VPPが昇圧される。

【0031】

前記比較器17は発振器11から出力される信号Vonに応じて、前記パルス信号S1の1サイクル毎に電圧検出回路16の出力電圧Vppmoniと基準電圧Vrefとを比較する。信号Vonは発振器11の信号S1と逆位相の信号であり、比較器17は次の信号S1信号が立ち上がる前に電圧Vppmoniと基準電圧Vrefとを比較する。したがって、信号S1の立下りエッジのタイミングで比較器17の出力信号Vpon_pの電圧が確定する。

【0032】

図12に示す期間T2において、ポンプ回路15の出力電圧VPPが目的の電圧を超えた場合、電圧検出回路16の出力電圧Vppmoniは基準電圧Vref以上と

なる。このため、比較器 17 の出力信号 V_{pon_p} はローレベルとなる。したがって、NAND ゲート 12 の出力信号 S_2 はハイレベルに固定され、ポンプ動作は、期間 T_2 の間に停止される。

【0033】

上記第 1 の実施形態によれば、同期型の比較器 17 を用い、この同期型比較器 17 により、発振器 11 の出力信号 S_1 の 1 サイクル毎に、ポンプ回路 15 の出力電圧を検出する電圧検出回路 16 の出力電圧 V_{ppmoni} と基準電圧 V_{ref} とを比較し、この比較出力により、ポンプ回路 15 の動作を制御している。このため、発振器 11 の出力信号 S_1 の 1 サイクルにおいて、ポンプ回路 15 の動作を制御することができるため、ポンプ回路 15 の出力電圧 V_{PP} の変化を抑えることができる。したがって、リップル成分を抑制することができる。このため、デカップリング用のキャパシタの容量を低減でき、チップサイズの大型化を防止できる。

【0034】

しかも、発振器 11 から供給される信号 V_{on} に同期して動作する同期型比較器 17 を用いることにより、ポンプ回路 15 の動作を発振器 11 の出力信号 S_1 の 1 サイクルの期間内に制御することができる。さらに、エッジトリガ型のタイミング発生器 13、及びエッジトリガ型の遅延回路をポンプ動作の起動と停止の制御回路に用いている。このため、発振器 11 の出力信号が停止されてもポンプ回路 15 は 1 回分の動作を完了してから停止する。したがって、ポンプ回路 15 を構成するキャパシタは充電途中で動作が中断することがないため、キャパシタの残存電荷を抑制でき、ノイズの発生を防止することができる。

【0035】

(第 2 の実施形態)

図 13 は、本発明の第 2 の実施形態を示しており、第 1 の実施形態と同一部分には同一符号を付している。

【0036】

第 2 の実施形態に示す昇圧回路 11 は、第 1 の信号経路 20a と、第 2 の信号経路 20b を有している。第 1 の信号経路 20a は、OR ゲート 21、パルス発生器 22、スイッチ回路としての OR ゲート 23、パルス発生器 24、25 によ

り構成されている。第 2 の信号経路 2 0 b は、前記 OR ゲート 2 1、及びパルス発生器 2 2、比較器 1 7、及びスイッチ回路としての OR ゲート 2 6、パルス発生器 2 7 により構成されている。第 1 の実施形態は、発振器 1 1 を有していた。これに対して、第 2 の実施形態に示す昇圧回路は、2 個のパルス発生器 2 5、2 7 が発振器を構成している。

【 0 0 3 7 】

第 1 の信号経路 2 0 a において、前記信号 O S T は、OR ゲート 2 1 に反転して供給される。この OR ゲート 2 1 には前記パルス発生器 2 5 の出力信号 B、及び前記パルス発生器 2 7 の出力信号が供給されている。この OR ゲート 2 1 の出力信号はパルス発生器 2 2 に供給される。このパルス発生器 2 2 の出力信号は、比較器 1 7 の出力信号 Vpon_p とともに OR ゲート 2 3 を介してパルス発生器 2 4 に供給される。このパルス発生器 2 4 の出力信号 A はパルス発生器 2 5 に供給される。このパルス発生器 2 5 の出力信号 B はパルス発生器 2 4 の出力信号 A とともにバッファ回路 1 4 に供給される。

【 0 0 3 8 】

また、第 2 の信号経路 2 0 b において、前記パルス発生器 2 2 から出力される信号 Von は比較器 1 7 に供給される。この比較器 1 7 の出力信号 Vpon_n は、パルス発生器 2 2 の出力信号とともに、OR ゲート 2 6 に供給される。この OR ゲート 2 6 の出力信号はパルス発生器 2 7 に供給される。前記信号 T M C T はこのパルス発生器 2 7 に供給されている。パルス発生器 2 7 から出力されるパルス信号の周期は、この信号 T M C T により制御される。

【 0 0 3 9 】

図 1 4 は、前記パルス発生器 2 2、2 4、2 5 の一例を示している。これらパルス発生器 2 2、2 4、2 5 は、フリップフロップ回路を構成する N A N D ゲート 2 2 a、2 2 b、遅延時間 D L 2 を有する遅延回路 2 2 c、遅延時間 D L 1 を有する遅延回路 2 2 d、及びインバータ回路 2 2 e、2 2 f により構成されている。

【 0 0 4 0 】

図 1 5 は、これらパルス発生器 2 2、2 4、2 5 の動作を示している。これら

パルス発生器22、24、25は、ワンショットマルチバイブレータであり、図15に示すように、入力信号inがローレベルとなると、遅延時間DL2経過後、遅延時間DL1に対応するパルス幅を有する信号outを出力する。

【0041】

図16は、前記パルス発生器27の一例を示している。このパルス発生器27は、フリップフロップ回路を構成するNANDゲート27a、27b、遅延時間DL2を有する遅延回路27c、遅延時間DL3 ($DL3 > DL1$) を有する遅延回路27d、及びインバータ回路27e、27fにより構成されている。

【0042】

図17は、このパルス発生器27の動作を示している。このパルス発生器27も、ワンショットマルチバイブレータであり、図17に示すように、入力信号inがローレベルとなると、遅延時間DL2経過後、遅延時間DL3に対応するパルス幅を有する信号outを出力する。このパルス幅DL3は前記パルス幅DL1より長く設定されている。

【0043】

上記パルス発生器22、24、25、27は、遅延時間DL2を設定することによりポンプ回路15のポンプ動作において、信号C、D、Eのタイミングが重ならないように配慮されている。

【0044】

図18は、前記遅延回路22dの一例を示している。この遅延回路22dは、インバータ回路を構成するPチャンネルMOSトランジスタ22d-1、NチャンネルMOSトランジスタ22d-2、このNチャンネルMOSトランジスタ22d-2と接地間に接続された抵抗R11、前記トランジスタ22d-1、22d-2の接続ノードと出力端間に接続されたインバータ回路22d-3、前記トランジスタ22d-1、22d-2の接続ノードと接地間に接続されたキャパシタCにより構成されている。

【0045】

図19は、前記遅延回路22c、27cの一例を示している。この遅延回路22c、27cは、インバータ回路を構成するPチャンネルMOSトランジスタ22

c-1、NチャネルMOSトランジスタ22c-2、このNチャネルMOSトランジスタ22c-2と接地間に接続された抵抗R12、前記トランジスタ22c-1、22c-2の接続ノードと出力端間に接続されたインバータ回路22c-3、前記トランジスタ22c-1、22c-2の接続ノードと接地間に接続されたキャパシタCにより構成されている。前記抵抗R12の抵抗値は、図18に示す遅延回路22dの抵抗R11の抵抗値より小さく設定されている ($R11 > R12$)。このため、遅延回路22c、27cに設定された遅延時間DL2は、遅延回路22dに設定された遅延時間DL1より短い。

【0046】

図20は、前記遅延回路27dの一例を示している。この遅延回路27dは、インバータ回路を構成するPチャネルMOSトランジスタ27d-1、NチャネルMOSトランジスタ27d-2、このNチャネルMOSトランジスタ27d-2と接地間に直列接続された抵抗R11、NチャネルMOSトランジスタ27d-4、これら抵抗R11、トランジスタ27d-4に並列接続された抵抗R12、前記トランジスタ27d-1、27d-2の接続ノードと出力端間に接続されたインバータ回路27d-3、前記トランジスタ27d-1、27d-2の接続ノードと接地間に接続されたキャパシタCにより構成されている。前記抵抗R11の抵抗値は、抵抗R12の抵抗値より小さく設定されている ($R11 < R12$)。また、トランジスタ27d-4のゲートには信号TMCTが供給されている。

【0047】

上記構成において、ポンプ回路15の出力電圧VPPが目的の電圧より低い場合と高い場合、第1の実施形態と同様に比較器17の出力信号Vpon_pがハイレベル、出力信号Vpon_nがローレベルとなっている。このため、ORゲート23の入力条件が成立し、第1の信号経路20aが動作する。

【0048】

すなわち、信号OSTがハイレベルになると、ORゲート21の出力信号に応じて3個のパルス発生器22、24、25が順次動作し、各パルス発生器22、24、25はパルス信号を連続して出力する。パルス発生器24、25から出力

される信号A、Bは、バッファ回路14に供給され、バッファ回路14から出力される信号C、D、Eに応じてポンプ回路15が駆動される。この状態において、比較器17は、パルス発生器22から供給される信号V_{on}の1サイクル毎に基準電圧V_{ref}と電圧検出回路16の出力電圧V_{ppmoni}とを比較する。

【0049】

上記比較の結果、ポンプ回路15の出力電圧V_{PP}が目的の電圧に到達すると、比較器17の出力信号V_{pon_p}がローレベル、出力信号V_{pon_n}がハイレベルとなる。このため、ORゲート23の入力条件が不成立となり、ORゲート26の入力条件が成立し、第2の信号経路20bが有効になる。したがって、パルス発生器22の出力信号はORゲート26を介してパルス発生器27に供給されるため、パルス発生器24、25は停止し、ポンプ回路15も停止する。この状態において、比較器17は、パルス発生器22から供給される信号V_{on}の1サイクル毎に基準電圧V_{ref}と電圧検出回路16の出力電圧V_{ppmoni}とを比較する。この結果、電圧検出回路16の出力電圧V_{ppmoni}が基準電圧V_{ref}より低下すると、再び、パルス発生器24、25が動作され、ポンプ回路15が駆動される。

【0050】

上記第3の実施形態によれば、ポンプ回路15を動作させる場合と停止させる場合で別の経路に信号を通すことによりポンプ回路15を制御し、しかも、2つのパルス発生器24、25が発振器の代わりとして働いている。このため、発振器11を省略でき、構成及び設計を容易化できる。

【0051】

また、エッジトリガータイプの遅延回路を用いたパルス発生器24、25により発振器を構成し、これによってポンプ回路を制御している。このため、ポンプ動作の1サイクルが完了した時点でポンプが停止する。このため、リップルを小さくでき、デカップリングキャパシタの容量を小さくできる。

【0052】

さらに、ポンプ回路の起動と停止がポンプ動作の途中で終了しない。このため、ポンプ回路は常に安定した状態から起動し安定した状態で停止する。したがって、ノイズの発生を防止できる利点を有している。

【0053】

また、ポンプ回路15の停止時に動作するパルス発生器27は、信号TMCTにより、発生される信号のパルス幅を調整することが可能とされている。このため、例えばパルス発生器27のパルス幅を大きくすることにより、ポンプ停止時の消費電流を削減できる。

【0054】

(第3の実施形態)

図21は、第3の実施形態に係る昇圧回路を示している。第3の実施形態において、第1の実施形態と同一部分には同一符号を付している。

【0055】

第3の実施形態は、第1の実施形態と異なり、2つの発振器31、32、ORゲート33、34、35を有している。

【0056】

信号OSTは、反転されてORゲート33の入力端に供給される。このORゲート33の入力端には発振器31、32の出力信号及び比較器17の出力信号Vpon_nが供給されている。このORゲート33の出力信号は発振器31に供給される。ORゲート34の入力端には、発振器31、32の出力信号及び比較器17の出力信号Vpon_pが供給されている。このORゲート34の出力信号は発振器32に供給される。この発振器32は、信号TMCTにより発振周期が制御される。発振器32の出力信号はORゲート35の入力端に供給される。さらに、発振器31の出力信号はタイミング発生器13に供給されるとともにORゲート35に供給される。ORゲート35の出力信号は信号Vonとして比較器17に供給される。比較器17は電圧検出回路16の出力電圧Vppmoniと基準電圧Vrefとを比較し、前記信号Vpon_p、Vpon_nを出力する。

【0057】

第3の実施形態の動作は、第2の実施形態とほぼ同様であり、ポンプ回路15の動作状態と停止状態によって、信号の伝わる経路が変わる。すなわち、ポンプ回路15が動作するとき、発振器31が動作し、ポンプ回路15が停止状態の場合、発振器31が停止し、発振器32が動作する。

【0058】

電圧検出回路16の出力信号 V_{ppmoni} が基準電圧 V_{ref} より低い場合、比較器17の出力信号 V_{pon_p} がハイレベル、信号 V_{pon_n} がローレベルとなっている。この状態において、信号 $O S T$ がハイレベルとなると、発振器31が発振を開始し、この発振器31の出力信号はタイミング発生器13、バッファ回路14を介してポンプ回路15に供給される。このため、ポンプ回路15が動作し、昇圧動作が開始される。また、発振器31の出力信号はORゲート35を通り信号 V_{on} として比較器17に供給される。このため、比較器17において、発振器31から出力される信号の1サイクル毎に基準電圧 V_{ref} と電圧検出回路16の出力電圧 $ppmoni$ とが比較される。

【0059】

一方、上記比較器17の比較の結果、電圧検出回路16の出力電圧 $ppmoni$ が基準電圧 V_{ref} より大きくなると、比較器17の出力信号は、信号 V_{pon_p} がローレベル、信号 V_{pon_n} がハイレベルとなる。このため、発振器31が停止され、発振器32が動作される。この状態において、比較器17はORゲート35を介して供給される発振器32の出力信号に応じて、比較動作を実行する。この結果、電圧検出回路16の出力電圧 $ppmoni$ が基準電圧 V_{ref} より小さくなると、上述したように、ポンプ動作が再開される。

【0060】

上記第3の実施形態によっても、第1、第2の実施形態と同様の効果を得ることが可能である。

【0061】

また、発振器32は信号 $T M C T$ のレベルに応じて発振周期を制御可能とされている。このため、ポンプ回路15の出力電圧を使用する回路の活性化時と停止時とで、消費電流を変えることができる。したがって、例えばチップがスタンバイ状態のとき、発振器32の発振周期を長くして、消費電流を削減することが可能である。

【0062】

(第4の実施形態)

図 2 2 は、第 4 の実施形態に係る昇圧回路を示している。第 4 の実施形態において、第 3 の実施形態と同一部分には同一符号を付し異なる部分について説明する。

【 0 0 6 3 】

第 4 の実施形態は第 3 の実施形態と異なり、発振器 3 1、3 2、及びタイミング発生器 1 3 を用いずに、2 つのパルス発生器の出力信号により、バッファ回路 1 4 を制御する。このため、第 4 の実施形態は、例えばワンショットマルチバイブレータにより構成されたパルス発生器 4 1 ~ 4 4、OR ゲート 4 5 ~ 4 8 をさらに有している。OR ゲート 4 5 の入力端には、パルス発生器 4 2、4 4 の出力信号、及び比較器 1 7 の出力信号 V_{pon_n} が供給される。この OR ゲート 4 5 の出力信号は、パルス発生器 4 1 を介して OR ゲート 4 6 の一方入力端に供給される。この OR ゲート 4 6 の他方入力端には信号 $O S T$ が反転されて供給される。この OR ゲート 4 6 の出力信号はパルス発生器 4 2 に供給される。前記パルス発生器 4 1 の出力信号 A、及びパルス発生器 4 2 の出力信号 B は、バッファ回路 1 4 に供給される。

【 0 0 6 4 】

また、OR ゲート 4 7 の入力端には、パルス発生器 4 2、4 4 の出力信号、及び比較器 1 7 の出力信号 V_{pon_p} が供給される。この OR ゲート 4 7 の出力信号は、パルス発生器 4 3 を介してパルス発生器 4 4 に供給される。このパルス発生器 4 4 には、信号 $T M C T$ が供給されている。前記パルス発生器 4 1、4 3 の出力信号は OR ゲート 4 8 に供給される。この OR ゲート 4 8 の出力信号は信号 V_{on} として比較器 1 7 に供給される。

【 0 0 6 5 】

図 2 3 は、第 4 の実施形態の動作を示している。第 4 の実施形態の動作は、第 3 の実施形態とほぼ同様であり、ポンプ回路 1 5 の動作状態と停止状態によって、信号の伝わる経路が変わる。すなわち、ポンプ回路 1 5 が動作するとき、パルス発生器 4 1、4 2 が動作し、ポンプ回路 1 5 が停止状態の場合、パルス発生器 4 1、4 2 が停止し、パルス発生器 4 3、4 4 が動作する。

【 0 0 6 6 】

電圧検出回路 1 6 の出力信号 V_{ppmoni} が基準電圧 V_{ref} より低い場合、比較器 1 7 の出力信号 V_{pon_p} がハイレベル、信号 V_{pon_n} がローレベルとなっている。この状態において、信号 $O S T$ がハイレベルとなる。パルス発生器 4 1、4 2 が発振を開始し、これらパルス発生器 4 1、4 2 の出力信号 A、B は、バッファ回路 1 4 を介してポンプ回路 1 5 に供給される。このため、ポンプ回路 1 5 が動作し、昇圧動作が開始される。また、パルス発生器 4 1 の出力信号は OR ゲート 4 8 を通り信号 V_{on} として比較器 1 7 に供給される。このため、比較器 1 7 において、パルス発生器 4 1 から出力される信号の 1 サイクル毎に基準電圧 V_{ref} と電圧検出回路 1 6 の出力電圧 V_{ppmoni} とが比較される。

【 0 0 6 7 】

一方、上記比較器 1 7 の比較の結果、電圧検出回路 1 6 の出力電圧 V_{ppmoni} が基準電圧 V_{ref} より大きくなると、比較器 1 7 の出力信号は、信号 V_{pon_p} がローレベル、信号 V_{pon_n} がハイレベルとなる。このため、パルス発生器 4 1、4 2 が停止され、パルス発生器 4 3、4 4 が動作される。この状態において、比較器 1 7 は OR ゲート 4 8 を介して供給されるパルス発生器 4 3 の出力信号に応じて、比較動作を実行する。この結果、電圧検出回路 1 6 の出力電圧 V_{ppmoni} が基準電圧 V_{ref} より小さくなると、上述したように、ポンプ動作が再開される。

【 0 0 6 8 】

上記第 4 の実施形態によっても、第 1 乃至第 3 の実施形態と同様の効果を得ることが可能である。

【 0 0 6 9 】

図 2 4 は、前記パルス発生器 4 1、4 2 の変形例を示している。図 2 2 に示す回路は、パルス発生器 4 1 とパルス発生器 4 2 の間に接続された OR ゲート 4 6 に信号 $O S T$ が供給されていた。これに対して、図 2 3 に示す回路は、直列接続されたパルス回路 5 1、5 2 のうち、パルス回路 5 1 に OR ゲート 5 3 を介して信号 $O S T$ が供給されている。さらに、制御信号 $T M C T$ は、パルス発生器 5 1、5 2 に供給されている。また、信号 A は、信号 V_{on} として比較器に供給される。

【 0 0 7 0 】

図 2 5 は、図 2 4 の動作を示す波形図である。

【 0 0 7 1 】

図 2 5 に示すようなパルス発生器によっても、第 4 の実施形態を構成できる。

【 0 0 7 2 】

(第 5 の実施形態)

図 2 6 は、第 5 の実施形態を示すものであり、DC-DC コンバータを降圧回路 6 0 に適用した場合を示している。第 5 の実施形態において、第 1 乃至第 4 の実施形態と同一部分には同一符号を付している。

【 0 0 7 3 】

図 2 6 において、発振器 1 1 は、信号 O S T に応じて発振する。発振器 1 1 の出力信号 S 1 は駆動回路 (D R V) 6 1 を介して P チャネル MOS トランジスタ 6 2 のゲートに供給される。このトランジスタ 6 2 の電流通路の一端には外部電源 (V E X T)、例えば電源電圧 V D D が供給され、他端は抵抗 R 1 の一端に接続される。これらトランジスタ 6 2 と抵抗 R 1 の接続ノード (出力ノード) より、降圧電圧、例えば内部電源 (V I N T) が出力される。比較器 1 7 は、発振器 1 1 から出力される信号 V o n に応じて電圧検出回路 1 6 の出力電圧 V p p m o n i と基準電圧 V r e f とを比較する。比較器 1 7 の出力信号 V p o n _ p は、駆動回路 (D R V) 6 1 に供給される。

【 0 0 7 4 】

図 2 7 は、上記駆動回路 6 1 の一例を示している。この駆動回路 6 1 は、サイズの大きな P チャネル MOS トランジスタ 6 2 を駆動するため、複数のインバータ回路 6 1 a ~ 6 1 e、及び NAND ゲート 6 1 h、インバータ回路 6 1 i により構成されている。NAND ゲート 6 1 h には、発振器 1 1 の出力信号 S 1 と比較器 1 7 の出力信号 V p o n _ p が供給されている。この NAND ゲート 6 1 h の出力信号はインバータ回路 6 1 i を介してインバータ回路 6 1 a に供給される。インバータ回路 6 1 a ~ 6 1 e を構成する P チャネル MOS トランジスタ、及び N チャネル MOS トランジスタは、順次チャネル幅が広くされている。すなわち、インバータ回路 6 1 a を構成する P チャネル MOS トランジスタ、及び N チャネル MOS トランジスタのチャネル幅は最も狭く設定され、インバータ回路 6 1 e

を構成するPチャネルMOSトランジスタ、及びNチャネルMOSトランジスタのチャンネル幅は最も広く設定されている。

【0075】

上記構成において、信号OSTがハイレベルとなると、発振器11は発振する。電圧検出回路16の出力信号V_{ppmoni}が基準電圧V_{ref}より高い場合、比較器17の出力信号V_{pon_p}はローレベルとなっている。このため、パルス発生器11の出力信号は、駆動回路61に供給される。駆動回路61を構成する複数のインバータ回路61a～61eは順次高い電圧を出力し、インバータ回路61eの出力電圧はPチャネルMOSトランジスタ62のゲートに供給される。このため、トランジスタ62がオンし、電源電圧V_{DD}より閾値電圧分低い内部電圧V_{INT}を出力する。

【0076】

比較器17は、発振器11から出力される信号V_{on}の1サイクル毎に基準電圧V_{ref}と電圧検出回路16の出力電圧V_{ppmoni}とを比較する。比較器17の比較の結果、電圧検出回路16の出力電圧V_{ppmoni}が基準電圧V_{ref}より大きくなると、比較器17の出力信号は、信号V_{pon_p}がローレベルとなる。このため、駆動回路61を構成するNANDゲート61の入力条件が不成立となり、駆動回路61が停止される。

【0077】

上記第5の実施形態によれば、比較器17は発振器11の出力信号V_{on}に応じて、発振器11の出力信号S1の1サイクル毎に電圧検出回路16の出力電圧V_{ppmoni}と基準電圧V_{ref}とを比較し、この比較結果に応じて駆動回路61の動作を制御している。したがって、出力ノードから出力される内部電圧V_{INT}は、発振器11の出力信号の1サイクル毎に制御されるため、リップルの少ない降圧電圧を発生することができる。

【0078】

しかも、降圧電圧に含まれるリップルが少ないため、デカップリングキャパシタの容量を小さくすることができる。したがって、チップサイズの大型化を防止できる。

【0079】

なお、本発明は、上記第1乃至第5の実施形態に限定されるものではなく、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【0080】

【発明の効果】

以上、詳述したように本発明によれば、出力電圧のリップルを低減でき、ノイズの発生を防止することが可能なDC-DCコンバータを提供できる。

【図面の簡単な説明】

【図1】

第1の実施形態を示すものであり、DC-DCコンバータを昇圧回路に適用した場合を示す構成図。

【図2】

図1に示す比較器の一例を示す回路図。

【図3】

図1に示す発振器の一例を示す回路図。

【図4】

図1に示すタイミング発生器の一例を示す回路図。

【図5】

図4に示すパルス発生器の一例を示す回路図。

【図6】

図5の動作を示す波形図。

【図7】

図4に示すタイミング発生器の一例を示す回路図。

【図8】

図7の動作を示す波形図。

【図9】

図1に示すバッファ回路の一例を示す回路図。

【図10】

図9の動作を示す波形図。

【図 1 1】

図 1 に示すポンプ回路の一例を示す回路図。

【図 1 2】

図 1 の動作を示す波形図。

【図 1 3】

第 2 の実施形態を示すものであり、DC-DC コンバータを昇圧回路に適用した場合を示す構成図。

【図 1 4】

図 1 3 に示すパルス発生器の一例を示す回路図。

【図 1 5】

図 1 4 の動作を示す波形図。

【図 1 6】

図 1 3 に示すパルス発生器の一例を示す回路図。

【図 1 7】

図 1 6 の動作を示す波形図。

【図 1 8】

図 1 4 に示す遅延回路の一例を示す回路図。

【図 1 9】

図 1 4、図 1 6 に示す遅延回路の一例を示す回路図。

【図 2 0】

図 1 6 に示す遅延回路の一例を示す回路図。

【図 2 1】

第 3 の実施形態に係る昇圧回路を示す構成図。

【図 2 2】

第 4 の実施形態に係る昇圧回路を示す構成図。

【図 2 3】

図 2 2 の動作を示す波形図。

【図 2 4】

図 2 2 に示すパルス発生器の変形例を示す構成図。

【図 25】

図 24 の動作を示す波形図。

【図 26】

第 5 の実施形態を示すものであり、DC-DCコンバータを降圧回路に適用した場合を示す構成図。

【図 27】

図 26 の駆動回路の一例を示す回路図。

【図 28】

従来の昇圧回路の一例を示す構成図。

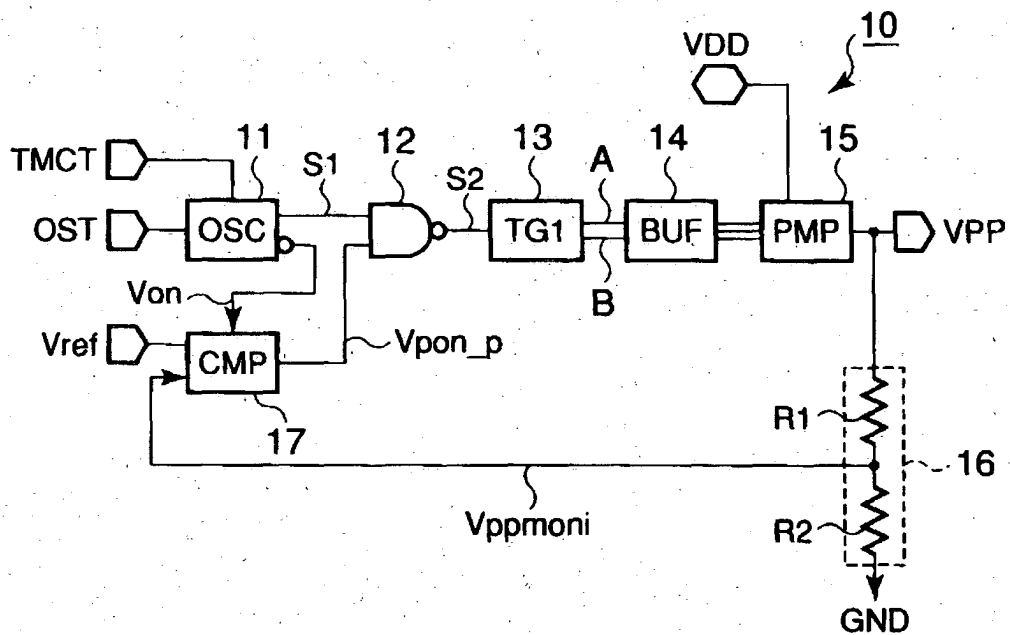
【符号の説明】

10…昇圧回路、11、31、32…発振器、13、13b…タイミング発生回路、14…バッファ回路、15…ポンプ回路、16…電圧検出回路、17…比較器、13a、22、24、25、27、41～44、51、52…パルス発生器、13a-3、13b-2、22c、22d、27c、27d…遅延回路、60…降圧回路、61…駆動回路、62…PチャネルMOSトランジスタ。

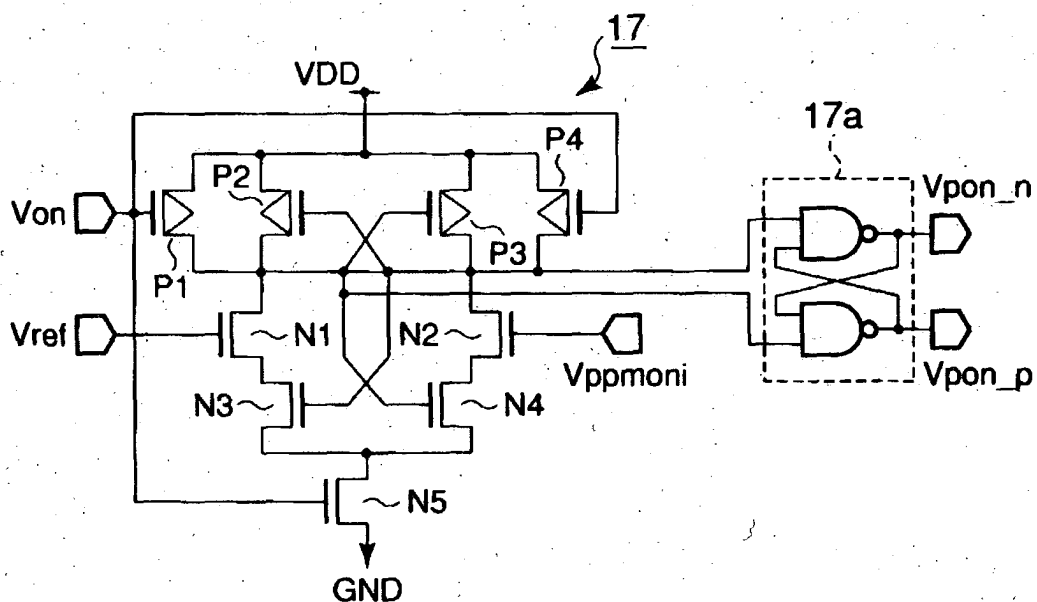
【書類名】

凶面

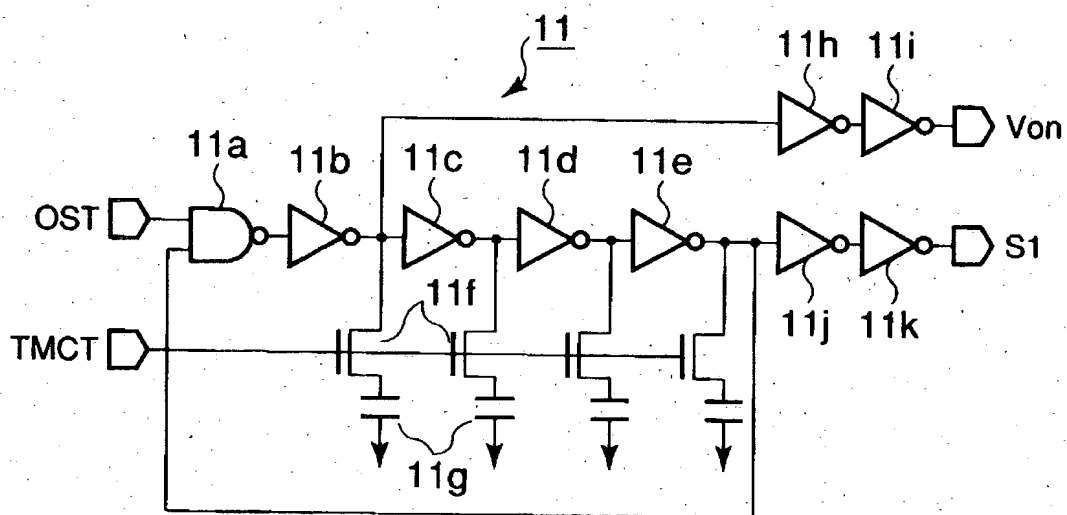
【圖 1】



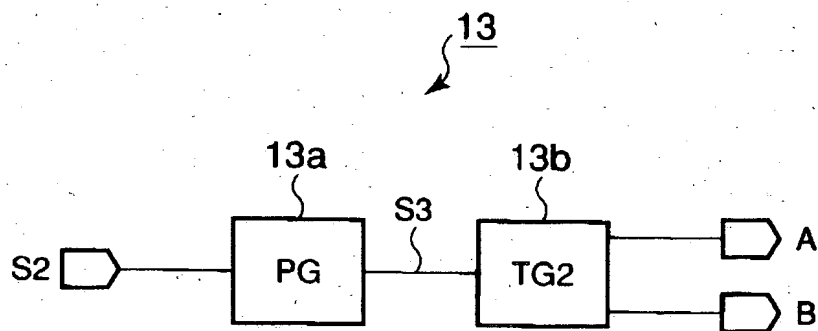
【図 2】



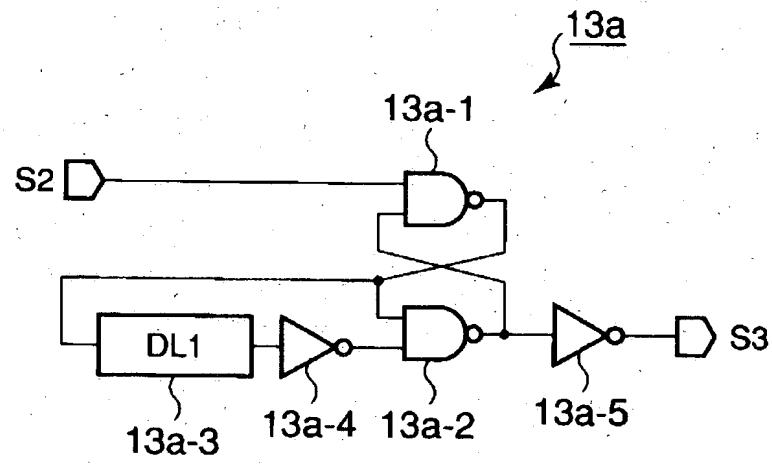
【図3】



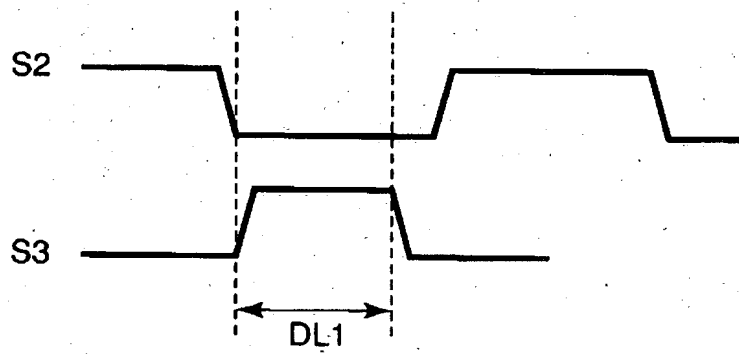
【図4】



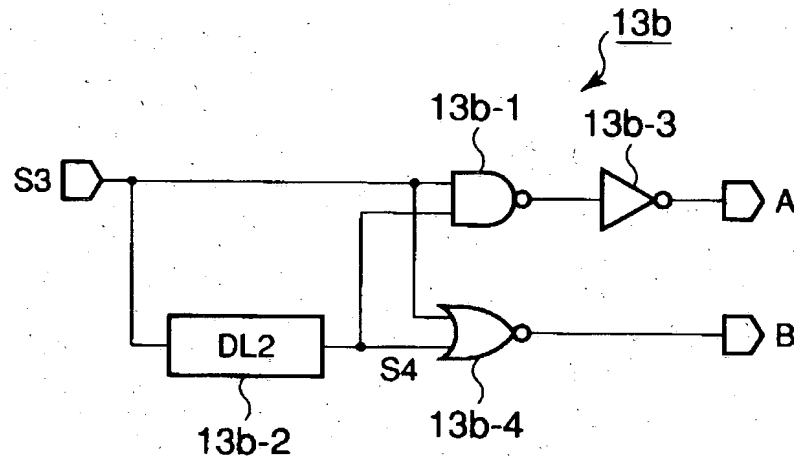
【図5】



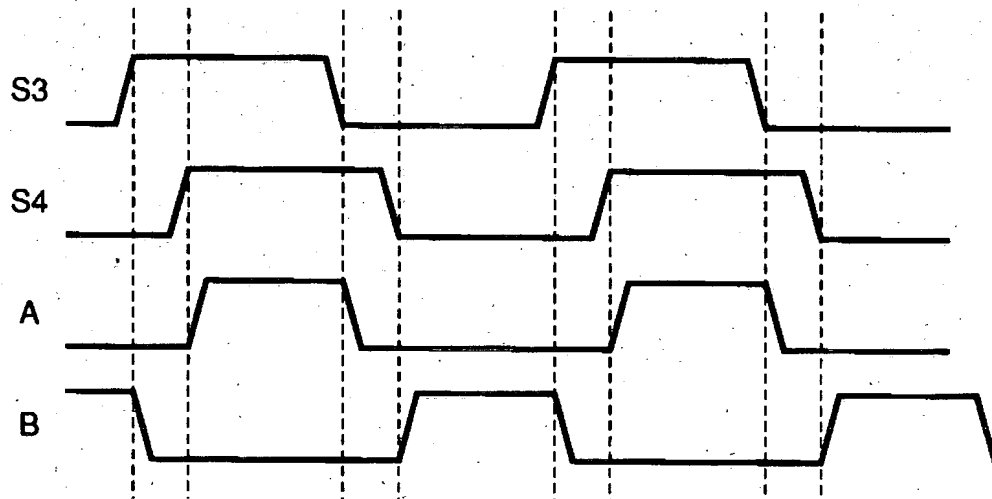
【図6】



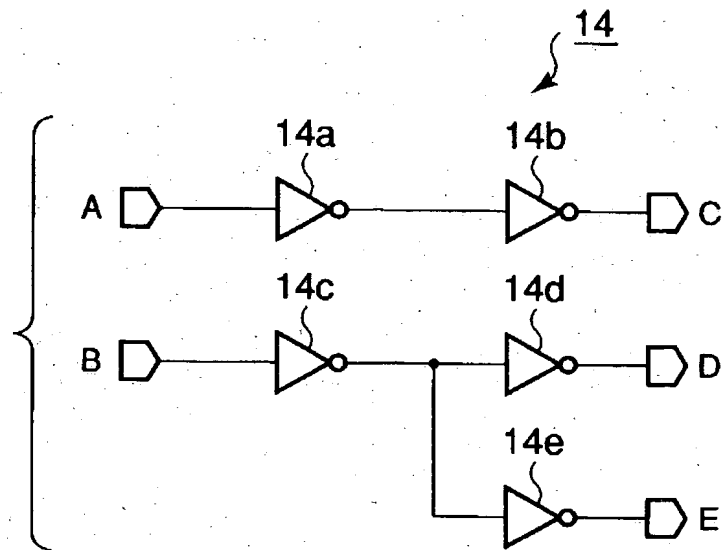
【図 7】



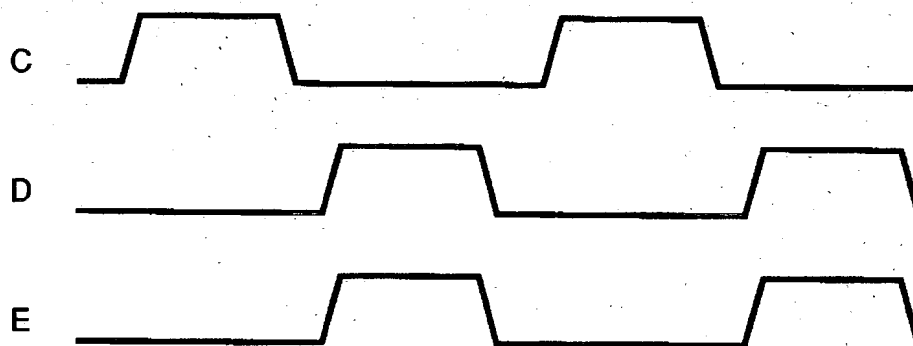
【図 8】



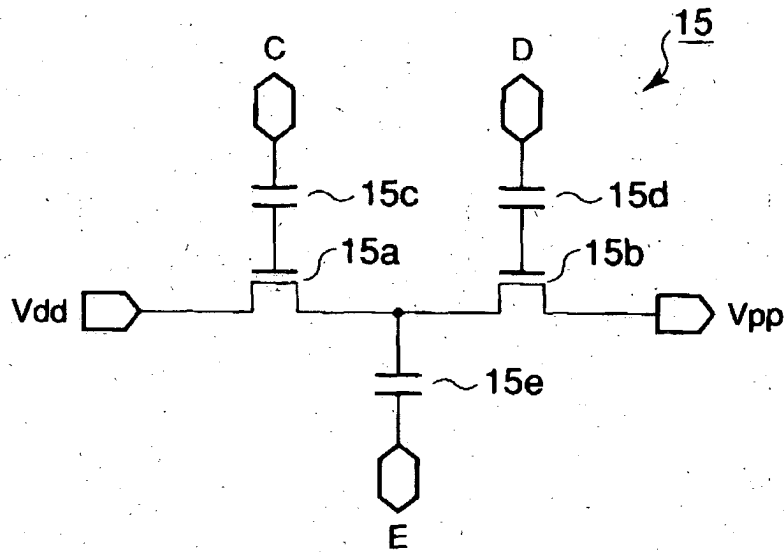
【図9】



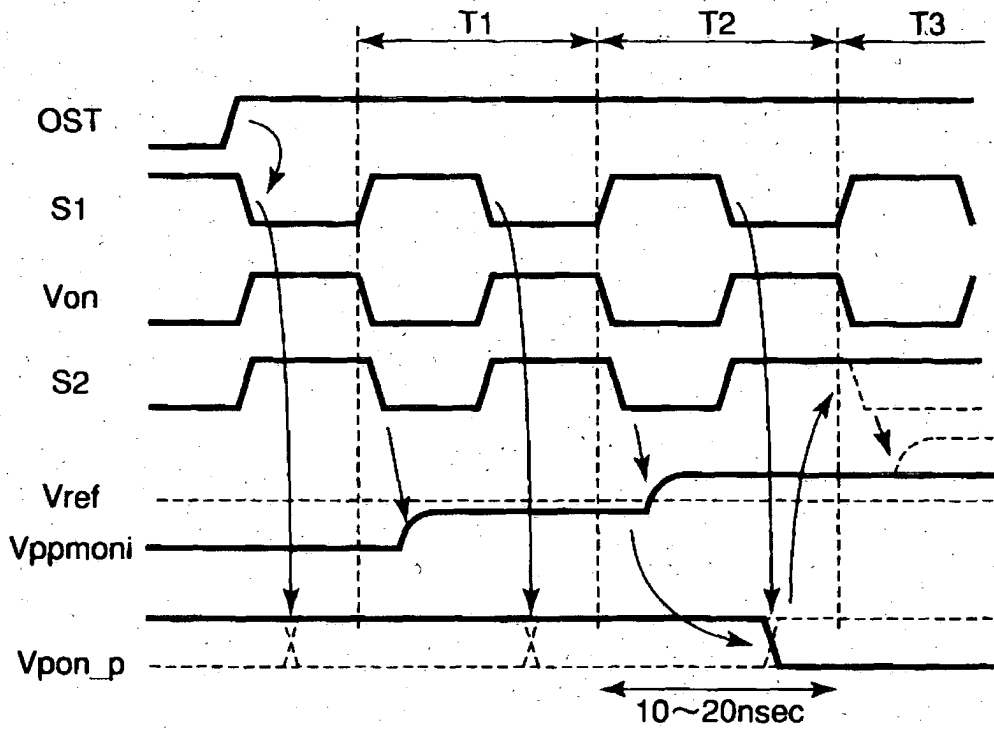
【図10】



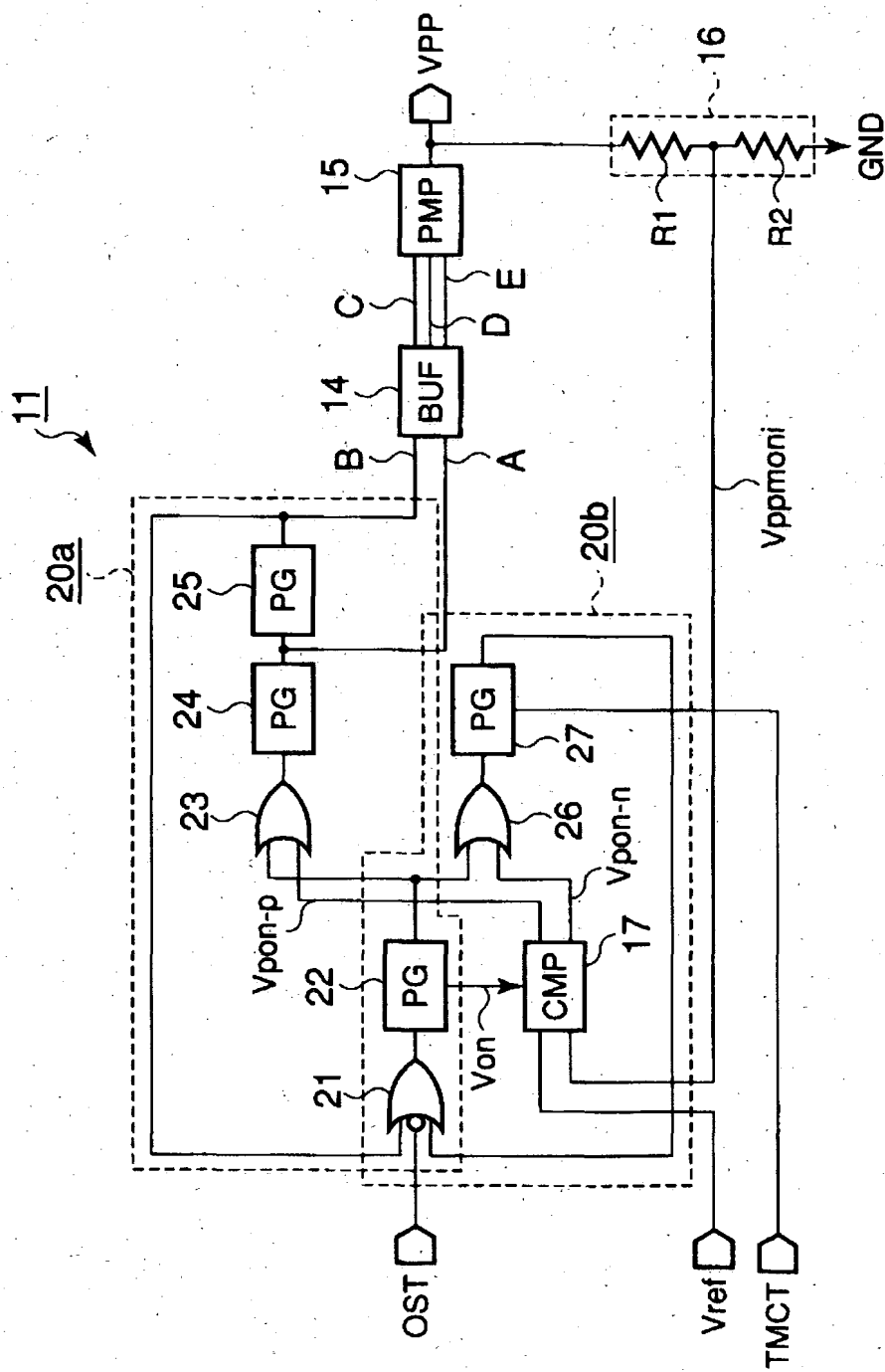
【図 1 1】



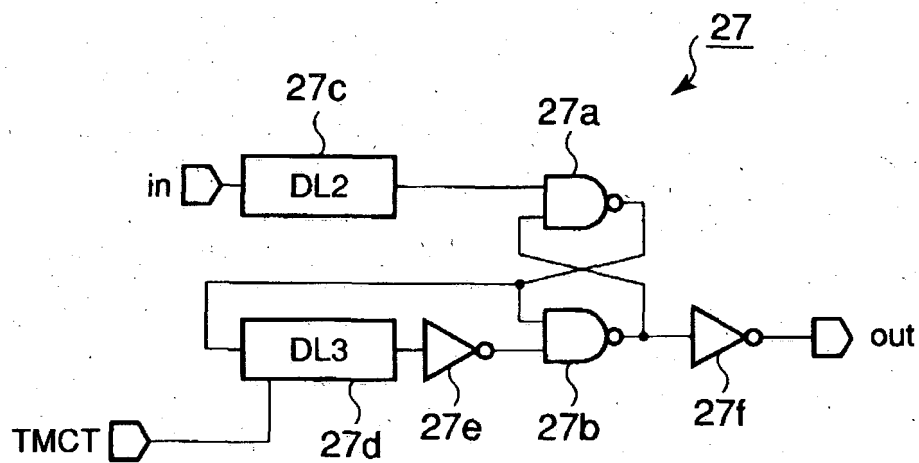
【図 1 2】



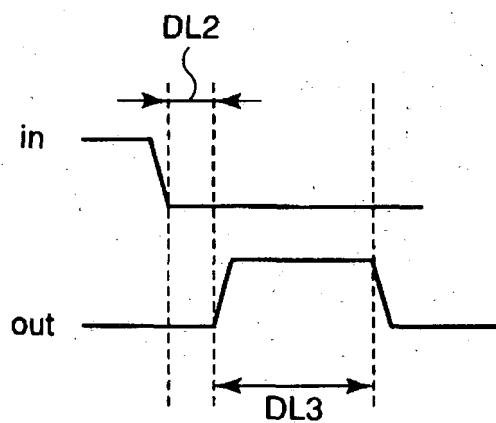
【図13】



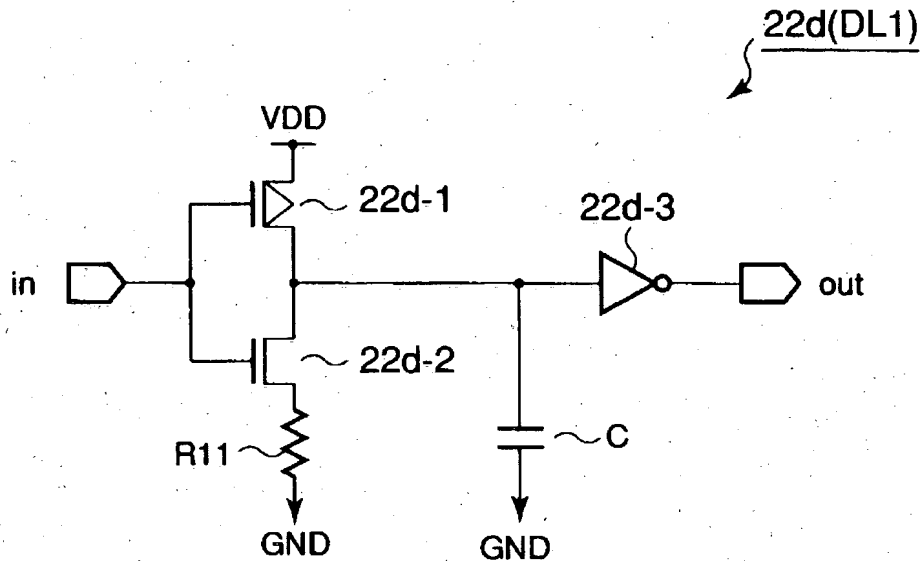
【図 16】



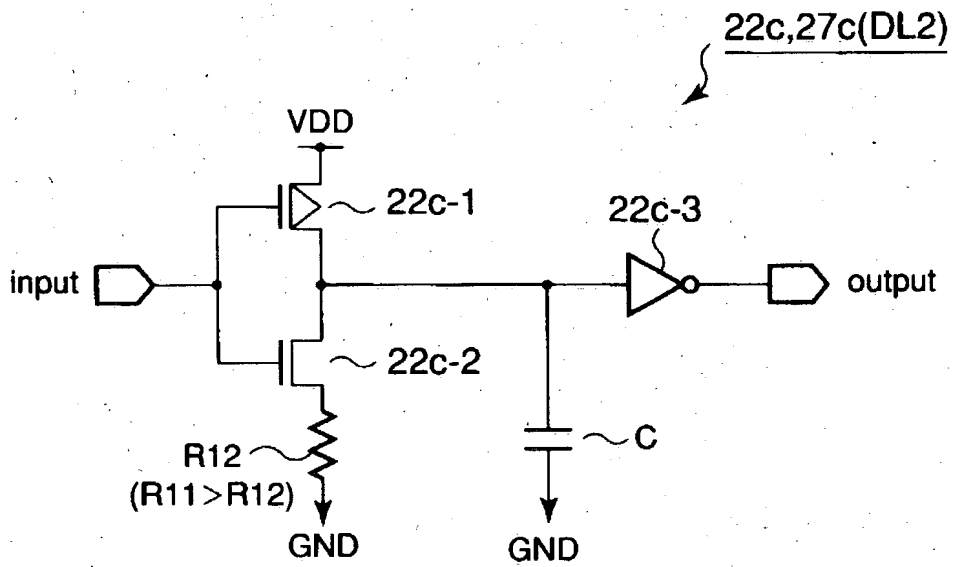
【図 17】



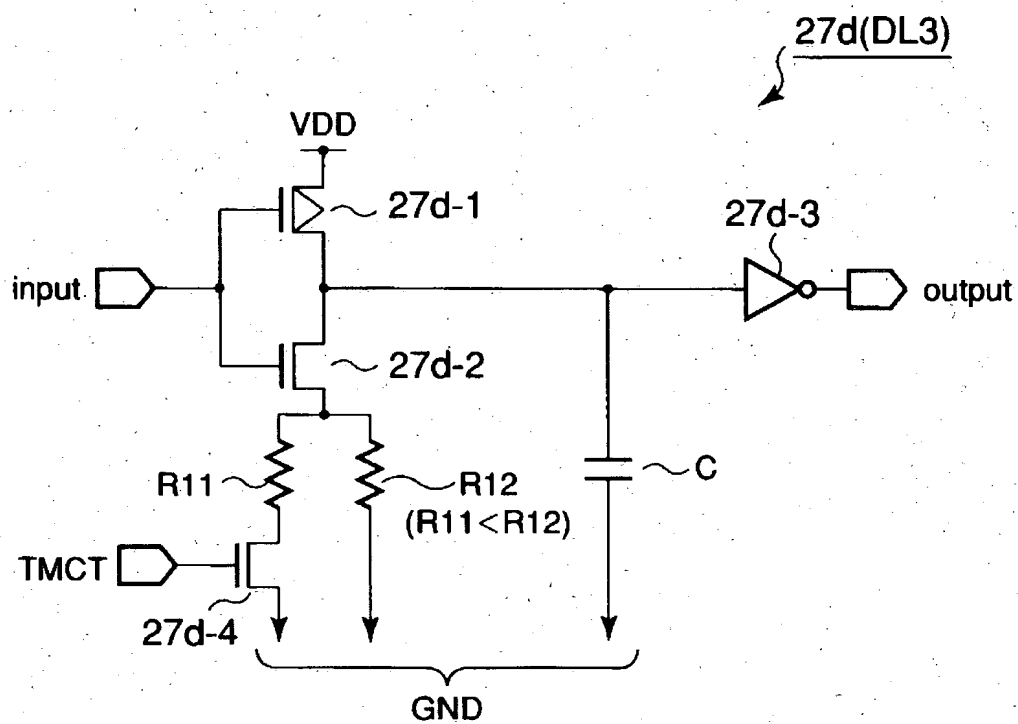
【図 18】



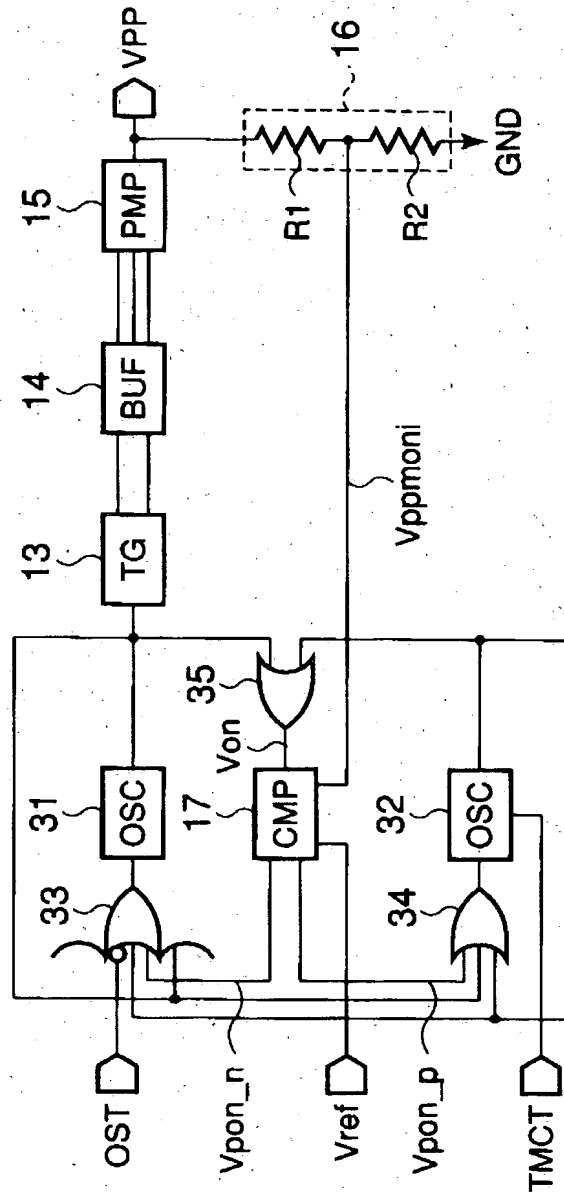
【図 19】



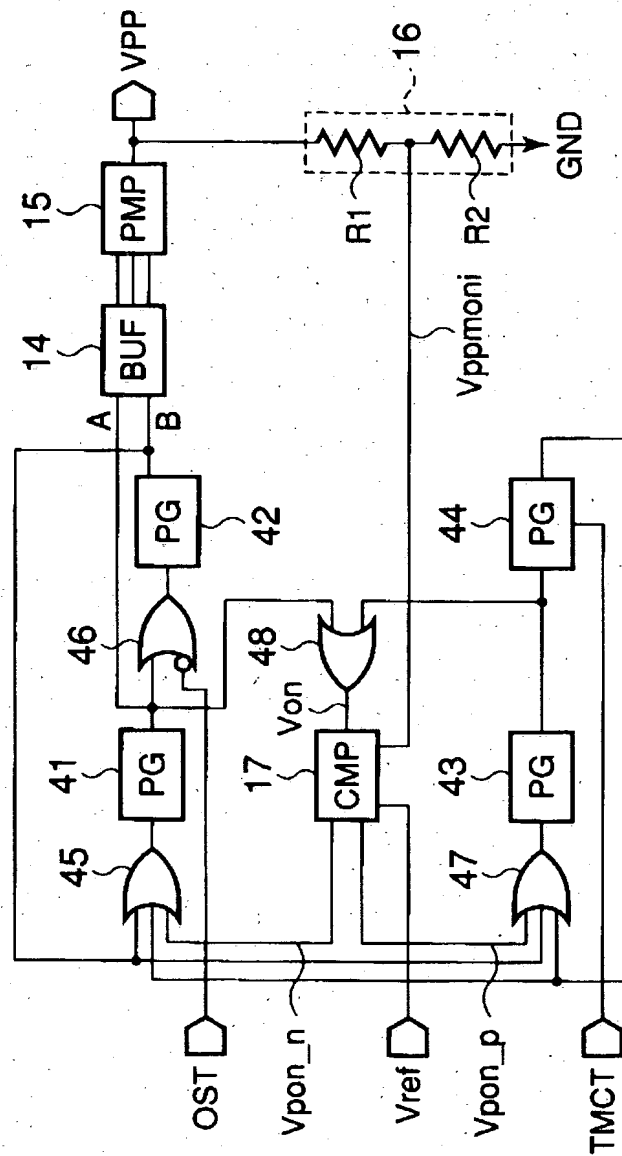
【図 20】



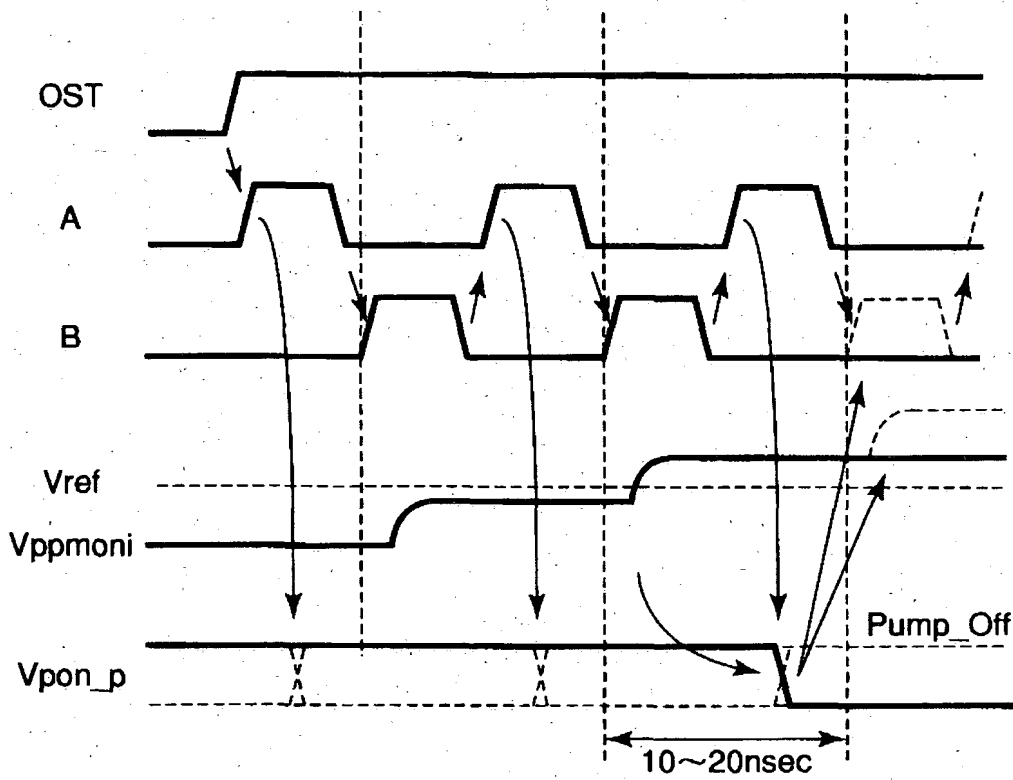
【図21】



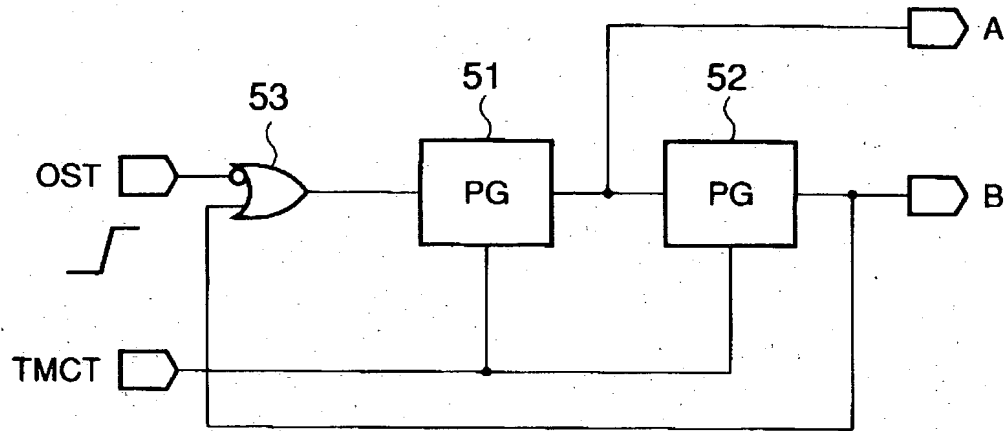
【図 2.2】



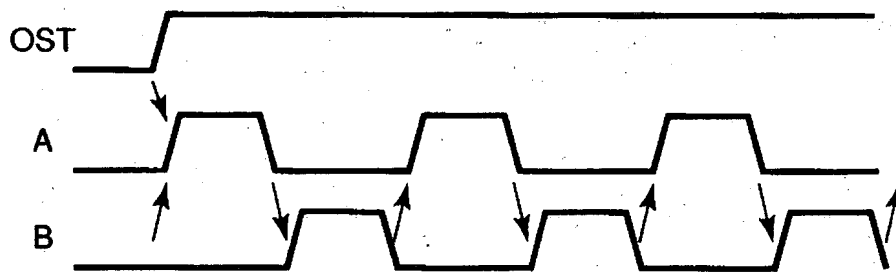
【図 23】



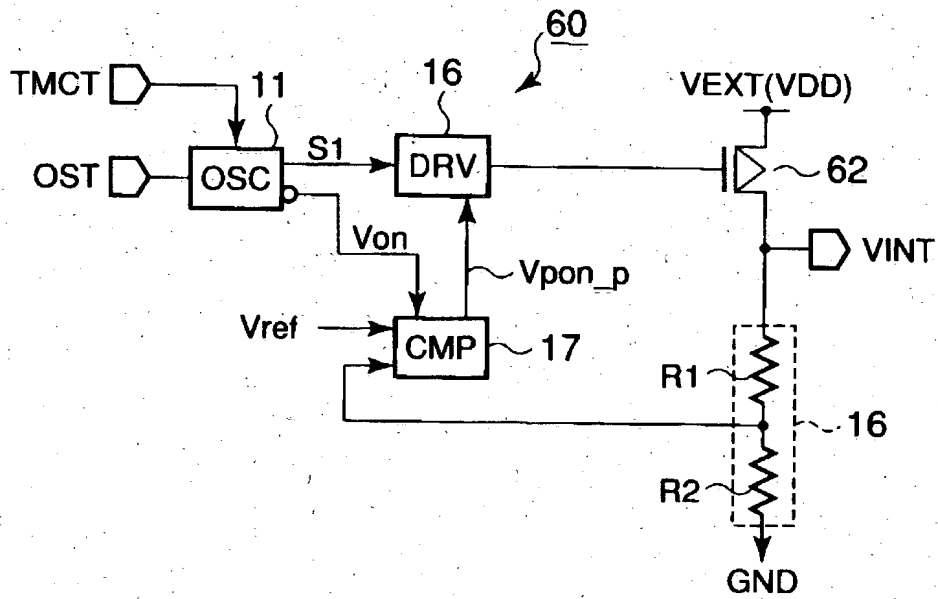
【図 2 4】



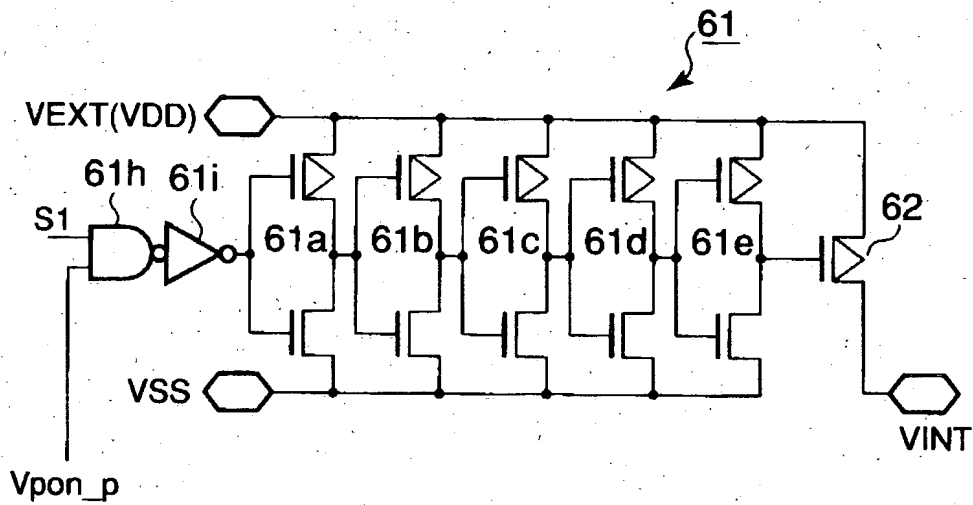
【図 2 5】



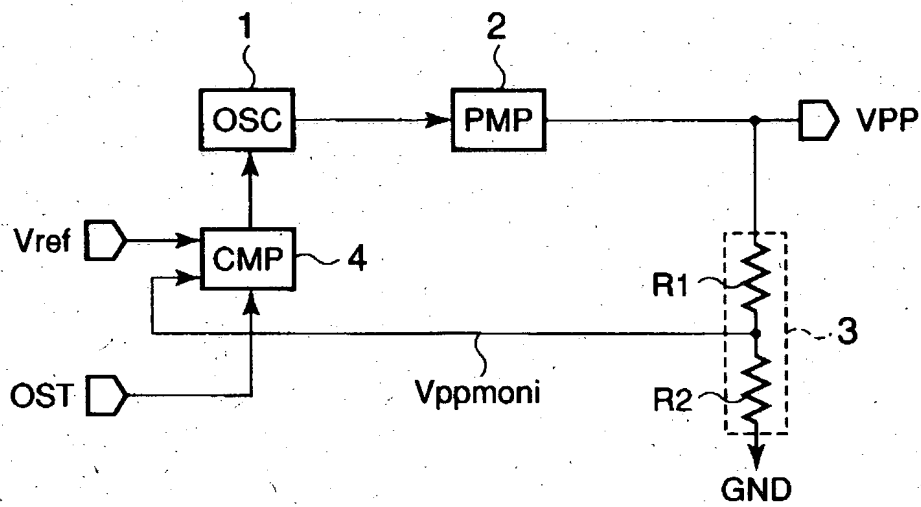
【図 2 6】



【図 2 7】



【図 28】



【書類名】 要約書

【要約】

【課題】 DC-DCコンバータにおいて、出力電圧のリップルを低減し、ノイズの発生を防止することが困難であった。

【解決手段】 発振器11は、信号を発振する。電圧発生回路15は、発振器11の出力信号に応じて第1の電圧と異なる第2の電圧を発生する。電圧検出回路16は、電圧発生回路15の出力電圧を検出する。比較器17は、発振器11から出力される信号の1サイクル毎に電圧検出回路16の出力電圧と基準電圧とを比較し、電圧発生回路15の動作を制御する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝